

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-160247

(43)公開日 平成11年(1999) 6月18日

(51)Int.Cl.⁶

識別記号

F I

G 0 1 N 21/88

G 0 1 N 21/88

E

G 0 6 T 7/00

G 0 6 F 15/62

4 0 5 A

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21)出願番号 特願平9-327531

(22)出願日 平成9年(1997)11月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 岡 健次

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 前田 俊二

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 吉田 実

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74)代理人 弁理士 小川 勝男

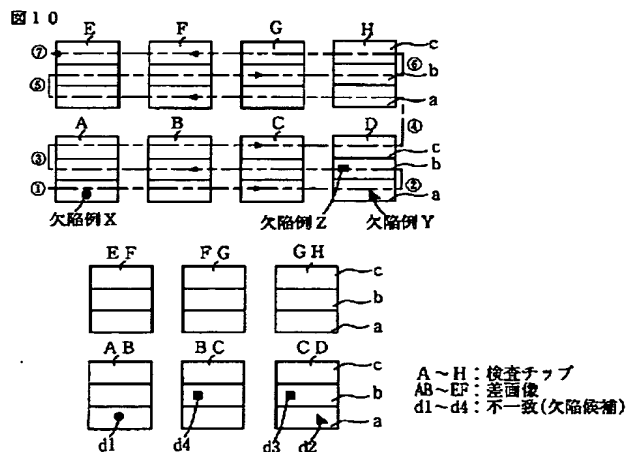
最終頁に続く

(54)【発明の名称】 外観検査方法およびその装置

(57)【要約】

【課題】従来の検出パターン比較による外観検査方法において、比較により検出した欠陥が実際に存在するチップを特定するのに、3つのチップからなる2組の比較結果に対して、共通して不一致としてとらえられたものが共通して比較に用いたチップに存在するという考え方をを用いているが、この考え方を直接検査に適用すると検査の開始領域及び最終領域に対する比較対照を必要とするため被検査領域以上の画像の検出が必要になるか、開始領域及び最終領域にて正しく欠陥の位置判定を行えなくなり問題であった。

【解決手段】これを改善するために検査の開始領域及び最終領域では不一致だけでなく一致の情報も用いることで欠陥位置を特定し、上記の問題を解決するものである。



【特許請求の範囲】

【請求項 1】基板上に整列して形成された同一形状の複数のパターンを検査する方法であって、隣接する同一形状のパターン同士を順次比較するとともに、前記整列して形成された同一形状の複数のパターンのうちの先頭と末尾のパターンについては隣接するパターンと該隣接するパターンの更に隣のパターンとを比較した情報も用いて検査することにより、前記整列して形成された同一形状の複数のパターンの列の先頭から末尾のパターンに対して検査することを特徴とする外観検査方法。

【請求項 2】被検査物体上に行列方向に連続的に配置された複数の被検査領域の検出画像と参照画像を比較してパターンの差異を欠陥として判定する被検査パターンの外観検査方法において、前記検出画像と参照画像とを順次比較し、それらの一致及び不一致情報をもとに、欠陥の存在領域を特定することを特徴とする外観検査方法。

【請求項 3】前記参照画像は、検出画像に先立って検出され記憶手段に記憶されていることを特徴とする請求項 2 記載の外観検査方法。

【請求項 4】前記一致および不一致情報とは、検出画像と参照画像からなる差画像を 2 値化した情報であり、参照画像が行または列の先頭領域の画像である場合には、該参照画像と該検出画像から第 1 の該 2 値化情報を求め、つづいて該検出画像とさらに次の隣接領域の検出画像から第 2 の該 2 値化情報を求め、第 1 の 2 値化情報でのみで不一致として見つかったものは該参照画像の検出領域における欠陥と見なし、第 1、第 2 の 2 値化情報情報にて不一致として見つかったものは該検出画像の検出領域における欠陥とし、検出画像が行または列の最終領域の画像である場合には、該参照画像と該参照画像の手前の被検査領域の画像から第 1 の該 2 値化情報を求め、続いて該参照画像と該検出画像から第 2 の 2 値化情報を求めて、第 2 の該 2 値化情報でのみ不一致として見つかったものを該検出画像の検出領域における欠陥と見なし、第 1、第 2 の 2 値化情報にて不一致として見つかったものを該参照画像の検出領域における欠陥として欠陥の存在領域を特定することを特徴とする請求項 2 記載の外観検査方法。

【請求項 5】前記一致および不一致情報とは、検出画像と参照画像から画像比較により画像の不一致として求められる欠陥候補の座標情報であり、参照画像が行または列の先頭領域の画像である場合には、該参照画像と該検出画像から第 1 の該座標情報を求め、続いて該検出画像とさらに次の被検査領域の検出画像から第 2 の該座標情報を求めて、第 1 の座標情報でのみで見つかった欠陥候補は該参照画像の検出領域における欠陥と見なし、第 1、第 2 の座標情報にて見つかった欠陥候補は該検出画像の検出領域における欠陥とし、検出画像が行または列の最終領域の画像である場合には、該参照画像と該参照画像の 1 つ手前の隣接領域の画像から第 1 の該座標情報

を求め、つづいて該参照画像と該検出画像から第 2 の該座標情報を求めて、第 2 の座標情報でのみで見つかった欠陥候補を該検出画像の検出領域における欠陥と見なし、第 1、第 2 の座標情報にて見つかった欠陥候補は該参照画像の検出領域における欠陥として欠陥の存在領域を特定することを特徴とする請求項 2 記載の外観検査方法。

【請求項 6】被検査物体上に行列方向に連続的に配置された複数の被検査領域の検出画像と参照画像を比較してパターンの差異を欠陥として判定する被検査パターンの外観検査を行う方法において、前記参照画像の検出領域に応じて前記参照画像の欠陥検出感度が制御可能であることを特徴とする外観検査方法。

【請求項 7】前記参照画像の検出領域が行または列の先頭又は最後である場合には、前記参照画像の欠陥検出感度を変化させることを特徴とする請求項 6 記載の外観検査方法。

【請求項 8】繰り返しパターンからなる被検査領域を撮像して得られた検出画像と、これを繰り返しピッチの整数倍ずらせた画像とを比較してパターンの差異を欠陥として判定する被検査パターンの外観検査方法において、前記繰り返しピッチの整数倍の単位領域の画像を順次比較し、それらの一致及び不一致情報をもとに、欠陥の位置を特定することを特徴とする外観検査方法。

【請求項 9】前記一致および不一致情報とは、検出画像とこれを繰り返しピッチの整数倍（以下、所定のピッチ）ずらせた画像からなる差画像を 2 値化した情報であり、該 2 値化画像の先頭から該所定のピッチの範囲（以下、先頭領域）に不一致が存在する場合は、該不一致から該所定のピッチ離れた位置に不一致が存在しないときは欠陥は先頭領域にあると特定し、存在するときは先頭領域の終わりからさらに該所定のピッチ離れた範囲に存在すると特定し、該 2 値化画像の終わりから該所定のピッチ手前の範囲（以下、最終領域）に不一致が存在する場合は、該不一致から該所定のピッチ手前に離れた位置に不一致が存在しないときは欠陥は最終領域にあると特定し、存在するときは最終領域のはじめからさらに該所定のピッチ手前に離れた範囲に存在すると特定することを特徴とする請求項 8 に記載の外観検査方法。

【請求項 10】被検査物体上に行列方向に連続的に配置された複数の被検査領域の検出画像と参照画像を比較してパターンの差異を欠陥として判定する被検査パターンの外観検査装置において、被検査物体上を行または列方向に相対的に移動可能な画像認識手段と、画像認識手段からの検出画像とを読み書きできる画像記憶手段と、検出画像と記憶手段に記憶された画像とを比較して一致及び不一致情報を出力する比較手段と、一致及び不一致情報を読み書きできる一致及び不一致情報の記憶手段と、画像検出領域に応じて一致及び不一致情報の比較により欠陥位置を特定する欠陥位置特定手段を備えた外観検査

装置。

【請求項 11】 繰り返しパターンからなる被検査領域より得られた検出画像と、これを上記所定のピッチずらせた画像を比較してパターンの差異を欠陥として判定する被検査パターンの外観検査方法において、被検査物体上を行または列方向に相対的に移動可能な画像認識手段と、画像認識手段からの検出画像とを読み書きできる画像記憶手段と、検出画像と記憶手段に記憶された画像とを比較して一致及び不一致情報を出力する比較手段と、不一致情報の存在する領域に応じて一致及び不一致情報の比較により欠陥位置を特定する欠陥位置特定手段を備えた外観検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体ウェーハ、フォトマスク、磁気ディスク等の検査対象基板上に掲載されたパターンを検出して、欠陥検査を行うパターン検査、異物検査等の技術に関する。

【0002】

【従来の技術】 従来、この種類の外観検査技術としては、図 1～図 3 に示す方式のものが知られている。

【0003】 図 1 は、設計データ比較方式と呼ばれる物である。同図にて XY ステージ 1 上に設置された $Z\theta$ ステージ 2 上には被検査物である半導体ウェーハが設置されている。この半導体ウェーハ 3 の上方には、照明光源 4 からの照明光を半導体ウェーハ 3 側へ向けるハーフミラー 6 があり、ここで反射された照明光は、対物レンズ 5 を経て、半導体ウェーハ 3 を照明する。半導体ウェーハ 3 からの反射光は対物レンズ 5、ハーフミラー 6 を経て、検出光としてラインセンサ 7 で受光される構成となっている。ラインセンサ 7 で受光された検出光は A/D コンバータ 8 を通じてデジタル画像信号に変換され、設計データパターン発生回路 9 によって生成されるデータと信号比較手段 10 にて比較が行われる。この時両者の信号に不一致となる個所があった場合にはいづれかのパターンに欠陥があると判定できるものである。

【0004】 図 2 は、2 眼 2 チップ比較方式と呼ばれる物である。これは図 1 で述べた照明から検出までの一連の光学系を 2 組持ち (図 1 と同じ符号の物は同等の機能を有する物である)、双方のラインセンサ 7 で受光された信号は A/D コンバータ 8 を通じてデジタル画像信号に変換された後に、信号比較手段 10 にて比較を行い欠陥判定ができるものである。

【0005】 図 3 は、1 眼 2 チップ比較方式と呼ばれる物である。これも図 1 で述べた照明から検出までの一連の光学系を持ち、最初の走査領域で検出した検出信号を画像記憶回路 11 に記憶させた後に、次の走査領域で選られる検出信号と信号比較手段 10 にて比較を行うことで検出信号の不一致を検出し欠陥があると判定できるものである。

【0006】 図 4 は上記の図 1～3 で示した方式にて外観検査を行う上で共通して用いられる欠陥位置を特定する考え方である。欠陥の存在しないチップ A 及び C と欠陥 a の存在するチップ B の 3 つのチップの比較結果において、チップ B の欠陥はチップ A、B 領域による比較結果 AB およびチップ B、C 領域による比較結果 BC の 2 度の不一致情報として検出される。これにより 3 つの比較結果の情報から実際に欠陥が存在する位置を特定するものである。

【0007】

【発明が解決しようとする課題】 ここで、上記図 1～4 に示した従来技術では下記のような問題点があることがわかっている。

【0008】 まず図 1 に示された設計データ比較方式では、あらかじめ膨大な設計データを用意しておく必要があり、さらにこの設計データを元に比較検査を行える形式にデータを変換する必要があるため、検査の前段階における処理が増大するため、高密度な半導体パターンを高精度に検査を行うには現実的でない。

【0009】 図 2 の 2 眼 2 チップ比較においては、同時に 2 チップ比較は 2 眼の特性を生かして同時に 2 つの領域の比較が可能であるため検査効率が良好であるとされているが、半導体ウェーハ検査のような精度の要求される検査を行うために 2 系統の独立した光学系の特性を揃えることは難しく、比較的離れた位置にあるチップ領域を比較する際に各領域で検査条件を一致させることが困難であった。

【0010】 図 3 に示す、1 眼 2 チップ比較検査方式は高速検査を行えるという点で現在の主流といえる方式であるが、上記で述べた欠陥位置を特定するための処理を考慮した場合に走査処理の効率が十分に良いとはいえない。以下にこの理由を示す。

【0011】 ここで、図 5 に示すように半導体ウェーハ上にチップ A～C が配列されている場合、1 行分の走査で画像を検出できるチップの縦方向は検出を行うラインセンサの画素数によって拘束される。従って通常ラインセンサを用いた場合には、チップ A～C を走査方向に短冊状の領域 a～c に分割して、この領域を a～c 毎に走査することが効率的である。これを複数の行列方向に配列されているチップに適用した際の従来技術による検査シーケンス例 (その 1) が図 6 である。同図では簡略化のため 8 つのチップにて示している。

【0012】 同図において、被検査物を上記の短冊状の領域 a～c に分けて走査を行う場合、①の場所から走査を開始してチップ A の a の短冊状の領域 (以下、領域 A-a と表記) の画像の検出を行い、この検出信号 A-a と領域 B-a を連続して走査して得られた検出信号 B-a の比較を行う。次に領域 C-a を走査して得られた検出信号 C-a を上記検出信号 B-a と比較する。このように順次隣接するチップ間の領域 a 同士のパターン比較

を行う。

【0013】このようにして下段の行方向における各チップの全ての領域aの走査を完了した後に上段E～Hの走査を行うことになるが、この時に下段の最終チップDと上段の先頭チップEとの比較を行う必要がある。そのためステージは同図に一点鎖線の②～③で示すような大きな走査を行うことになる。実際の半導体ウェーハではさらに多くのチップが高密度に配列されているためステージの無駄な移動が多くなり検査効率を下げる要因となり問題である。

【0014】更に、上記図4で述べた欠陥位置を特定する考え方を適用する場合には、各検査領域に対して比較対照が2つずつ存在する必要があるが、図6の斜線でハッチングを施した領域は、比較対照が1つずつしか存在しないために欠陥位置を特定できなくなり、正しく検査できない領域となる。即ち、図6の斜線でハッチングを施した領域に対応する半導体ウェーハの周辺領域のチップは、従来の欠陥検査方式では検査することができない領域となり、半導体ウェーハの全面を正しく検査できなかった。

【0015】また、同様な理由により、1つのチップの内部で同一形状のパターンが繰り返して存在する領域を検査する場合にも、同一パターンの繰り返し領域の端部のパターンは検査することができなかった。また、この最終チップDと上段の先頭チップEとを比較する場合、半導体ウェーハにおける面内の特性のばらつきにより検出信号のレベルやノイズレベルが異なり、単純に比較を行うことが困難となる場合もある。したがって、走査行が移る場合にも、ウェーハの面内の特性のばらつきによる影響を小さくするために、近接したチップ間でパターン比較を行わなければならなかった。

【0016】図7に従来技術による検査シーケンス例(その2)を示す。

【0017】同図においては、図6の場合とは異なり、検査できない領域をなくすために、ある一連の短冊状の領域の先頭(領域A-a)と最後尾(領域E-a)では、それぞれ隣接チップの一つ隣のチップを検出することで各検査領域に対して必ず比較対照が2つずつ存在するように走査方法を設定したものである。①の場所から走査を開始してはじめて領域C-aの画像検出を行い、次に領域A-aの画像を検出して比較を行うが、このときラインセンサの走査を領域C-a捜査時とは逆方向に行い、画像記憶領域からのデータの読み出しを逆のアドレス(検出画像C-aの右端から)から行うことで比較を可能とし、以降は、領域B-a、C-a、D-aと順次隣接領域での検出及び比較を行う。

【0018】下段の行方向における各チップの全ての領域aの走査を完了した後に③の位置で折り返して上段H～Eの走査を行うことになるが、上段の走査を行う際にラインセンサの走査を下段とは逆方向に行い、画像信号

D-aの画像記憶手段からのデータの読み出しを逆のアドレス(検出画像D-aの右端から)から行うことで比較を可能とし、以下同様に走査を行うことで検査効率の向上を図っている。ところがこの方式においては、検査ができない領域をなくすために被検査領域以上に走査を必要とするため、ステージの無駄な移動が多くなり検査効率を下げる要因となり問題である。

【0019】図8に従来技術による検査シーケンス例(その3)を示す。この方法は、検査効率を優先してもっとも少ない移動量で走査を行うが、上記図4で述べた欠陥位置を特定する考え方を適用する場合には先述の理由で、ステージが折り返しを行う位置(斜線のハッチング部)では正しく検査ができなくなる。

【0020】本発明は、上記課題に着目してなされたものであり、その目的は、半導体ウェーハ上に形成された複数のチップ間のパターンを比較検査する場合に、半導体ウェーハの周辺に形成されたチップに対してもそれ以外の部分に形成されたチップと同等の比較検査が行えるようにした外観検査方法及びその装置を提供することにある。

【0021】また、本発明の目的は、半導体ウェーハ上に形成されたチップ内の同一形状のパターン同士を比較検査する場合に、チップの周辺に掲載されたパターンに対してもそれ以外の部分に形成されたパターンと同等の比較検査が行えるようにした外観検査方法及びその装置を提供することにある。

【0022】更に本発明の目的は、外観検査における検査効率と検査の信頼性を向上することのできる技術を提供することある。

【0023】

【課題を解決するための手段】前述した、従来の欠陥位置を特定する考え方では3つのチップに対して順次比較を行い、連続して不一致情報が得られた欠陥候補は実際には中央のチップBが欠陥の存在領域であると特定していたが、ここで図9に示すように比較結果AB、BCでそれぞれ不一致、一致あるいは、一致、不一致という情報が得られた欠陥候補は中央でないチップA、チップCがそれぞれの存在領域であることが特定できる。この考え方を採用することで、実施例で述べたような、列の先頭あるいは最終領域に対する欠陥位置の特定のための余分な画像走査を行うことがない効率の良い検査を実現し、かつ欠陥位置が特定できないと言った問題を解消することが出来る。

【0024】

【発明の実施の形態】図10に本発明の第1の実施例である外観検査における走査軌跡と内部で処理されるの不一致および一致情報の1例として得られる各差画像の状態を示す、図11には本発明の第1の実施例である外観検査装置の構成を示す。

【0025】本発明の外観検査装置は、図11に示すよ

うにXYステージ1上に設置された θ ステージ2上には被検査物である半導体ウェーハが設置されている。この半導体ウェーハ3の上方には、照明光源4からの照明光を半導体ウェーハ3側へ向けるハーフミラー6があり、ここで反射された照明光は、対物レンズ5を経て、半導体ウェーハ3を照明する。半導体ウェーハ3からの反射光は対物レンズ5、ハーフミラー6を経て、検出光としてラインセンサ7で受光される構成となっている。ラインセンサ7で受光された検出光はA/Dコンバータ8を通じてデジタルの画像信号に変換されるが、最初の走査領域で検出した検出信号を画像記憶回路11に参照画像として記憶させた後に、次の走査領域で選ばれる検出画像を差画像算出手段14にて差画像の算出を行うが、ここで図9に示すように半導体ウェーハ3上にチップA~Hが配列されている場合について、同図の欠陥例X~Zの検出を交えて説明すると以下のようになる。図9の①の場所から検出を開始して、初めに領域A-aの画像を参照画像として検出する。これが参照画像が検出領域列の先頭である場合である。次に領域B-aの画像を検出画像として検出し、差画像算出手段14により差画像ABが作成され一致・不一致情報として一致・不一致情報記憶手段に記憶される。ここでは欠陥Xが差画像AB上の不一致(欠陥候補d1)となる。続いて領域C-aの画像を検出して領域B-aと領域C-aの比較により差画像BCが作成される。この段階で先に記憶した一致・不一致情報との比較を行うと欠陥Xについては差画像ABからは不一致として、差画像BCからは一致(同じ位置に欠陥候補がない)として現れるので、欠陥位置判定手段13において欠陥Xは実際はチップA上に存在すると特定する。欠陥Yについてはさらに次の領域D-aの検出を行うと差画像CD上にも欠陥Yの不一致(欠陥候補d2)が現れるが、これが検出画像の検出領域列の最終領域である場合である。この場合は、一致・不一致情報記憶手段12から差画像CD内の不一致(欠陥候補d2)に対して差画像BC内では一致として現れるため、欠陥位置判定手段13において欠陥Yは実際はチップD上に存在すると特定する。ここで領域判定手段15は、参照画像が検出領域列の先頭である場合には、参照画像はXYステージ1を高速に折り返した直後の画像では画像ひずみを生じることもあるため、この領域では画像感度制御信号を差画像算出手段14へ送り、欠陥検出感度を低下させてひずみによる誤検出をさけられるようにするものである。

【0026】以下、欠陥従来の考え方と同様に順次比較を行い、列の先頭あるいは最終領域においては前述の判定を行うことで欠陥位置の特定のための余分な画像走査を行うことがなくなり、かつ被検査領域の全面を正しく検査することが可能となる。

【0027】本実施例ではパターン比較は隣接チップを対象にして比較を行っているが、比較の対象がNチップ先(Nは自然数)のチップを対象とした場合にも上記と同

様の考え方が適用できることは言うまでもなく、かつ以下のような利点がある。図12に示すようなプロセスや露光の均一性等の不良による徐々に発生する欠陥は隣接チップによる比較では十分な差がでないため欠陥部を不一致として検出できない場合が、同図のように2チップ先のチップとの比較を行えば差を顕著にすることができ検出可能となる。しかし、元々3チップ比較による欠陥位置の判定は多数決の原理で欠陥を決定しているため、このような場所においてはパターンに差異があるかどうかは判別できるが、それが欠陥であるかどうかはユーザが比較を行う両チップを見て確認する必要がある。この場合の装置の構成はNチップ先のチップとの比較を行う場合はNチップ分の画像を記憶する画像記憶手段を持ち連続的に画像操作を行うことで実現できる。

【0028】図13に本発明の第2の実施例である外観検査における被検査領域の例とその検査時に内部で処理される不一致および一致情報の例として得られる差画像を示す、図14には本発明の第2の実施例である外観検査装置のブロック構成を示す。

【0029】本発明の外観検査装置は、図14に示すようにXYステージ1上に設置された θ ステージ2上には被検査物である半導体ウェーハが設置されている。この半導体ウェーハ3の上方には、照明光源4からの照明光を半導体ウェーハ3側へ向けるハーフミラー6があり、ここで反射された照明光は、対物レンズ5を経て、半導体ウェーハ3を照明する。半導体ウェーハ3からの反射光は対物レンズ5、ハーフミラー6を経て、検出光としてラインセンサ7で受光される構成となっている。ラインセンサ7で受光された検出光はA/Dコンバータ8を通じてデジタルの画像信号に変換される。最初の走査領域で検出した検出画像と検出画像を画像移動手段17にて被検査パターンの繰り返しピッチ分移動を行った(以下、所定のピッチと示す。)画像を差画像算出手段14にて比較を行うが、ここで図13に示すように半導体ウェーハ3上に被検査領域である繰返しパターンが配列されている場合について、同図の欠陥例の検出を交えて説明すると以下のようになる。

【0030】前述の検出画像と検出画像を画像移動手段にて所定のピッチ分移動を行った画像の差画像算出手段14において差画像が作成される。以下、差画像とは検出画像と所定のピッチ分移動した画像の共通な領域のみを示すものとする。

【0031】この差画像に対する欠陥検出において、はじめに差画像の先頭より欠陥候補の検出を行っていきと最初に欠陥DD1が差画像上の不一致(欠陥候補D1)として検出される。このとき、不一致D1は差画像の先頭から所定のピッチ分の範囲にあるため、D1からさらに所定のピッチ分離れた差画像上の位置で欠陥候補が存在するかを確認するが、この場合存在しないのでD1は被検査領域の先頭から所定のピッチ分の領域に存在する欠陥であると

特定する。続いて欠陥DD2が不一致(欠陥候補D2)として検出される。このとき、不一致D2は差画像の先頭および最後から所定のピッチ分の範囲外にあるため、D2からさらに所定のピッチ分離れた差画像上の位置でD3が存在するためD3の座標がそのままDD2の座標であると特定する。

【0032】最後に欠陥DD3が差画像上の不一致(欠陥候補D4)として検出される。このとき、不一致D4は差画像の最後から所定のピッチ分の範囲にあるため、D4からさらに所定のピッチ分手前の差画像上の位置で欠陥候補が存在するかを確認するが、この場合存在しないのでD4は被検査領域の最後から所定のピッチ分の領域に存在する欠陥であると特定する。以上の方法を用いることで、繰り返しパターンである被検査領域の画像の先頭あるいは最終領域においても正しく欠陥位置を特定した検査が可能となる。この実施例では、一つの繰り返しパターンに着目して説明を行ったが、実際の検査では複数の繰り返しパターンである被検査領域を配列した半導体ウェハ3の検査を行う。

【0033】本発明の2つの実施例ではいずれもパターン比較時の一致・不一致情報として差画像を用いて説明を行っているが、欠陥判定に先立ち差画像よりあらかじめ各一致・不一致情報を欠陥候補の座標データとして格納しておき、その情報を用いて同じ論理で欠陥位置判定を行っても同様の結果が得られる。

【0034】本発明の2つの実施例ではいずれも画像検出手段としてラインセンサを用いて説明しているが、これはTVカメラや、SEM画像等の光学系以外の検出画像を用いた検査にも同様の考え方が適用できることは言うまでもない。

【0035】

【発明の効果】以上に説明したように、本発明によれば、半導体ウェハ上に形成された複数のチップ間のパターンを比較検査する場合に、半導体ウェハの周辺に形成されたチップに対してもそれ以外の部分に形成されたチップと同等の比較検査が行えるようになった。

【0036】また、本発明によれば、半導体ウェハ上に形成されたチップ内の同一形状のパターン同士を比較検査する場合に、チップの周辺に掲載されたパターンに対してもそれ以外の部分に形成されたパターンと同等の比較検査が行えるようになった。

【0037】更に本発明によれば、列の先頭あるいは最終領域に対する欠陥位置の特定のための余分な画像走査を行うことがなくなるため効率の良く、かつ半導体ウェ

ハの全面を正しく検査することが可能となる。

【図面の簡単な説明】

【図1】従来技術による外観検査装置の概略構成を示す略正面図である。

【図2】従来技術による外観検査装置の概略構成を示す略正面図である。

【図3】従来技術による外観検査装置の概略構成を示す略正面図である。

【図4】従来技術による欠陥位置を特定する原理の説明するチップの平面図である。

【図5】従来技術の検査チップ上における画像検出領域分けの状態を示す平面図である。

【図6】従来技術による走査軌跡と欠陥検出が正しくできない領域を説明する検査チップの平面図である。

【図7】従来技術による走査軌跡と欠陥検出が正しくできない領域を説明する検査チップの平面図である。

【図8】従来技術による走査軌跡を説明する検査チップの平面図である。

【図9】課題を解決するための手段を説明する検査チップの平面図である。

【図10】本発明による実施例の説明のための走査軌跡及び欠陥例と差画像の状態を説明する検査チップの平面図である。

【図11】本発明による第1の実施例の外観検査装置の概略構成を示す略正面図である。

【図12】徐々に発生している欠陥を検査する方法を示す検査チップの平面図である。

【図13】本発明による繰り返しパターンと差画像の状態を示す検査チップの平面図である。

【図14】本発明による第2の実施例の外観検査装置の略正面図である。

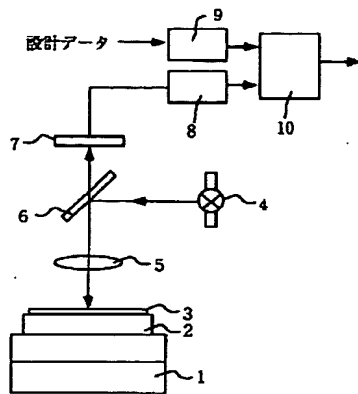
【符号の説明】

1…XYステージ、2…Zθステージ、3…半導体ウェハ、4…照明光源、5…対物レンズ、6…ハーフミラー、7…ラインセンサ、8…信号処理回路、9…設計データパターン発生回路、10…信号比較手段、11…画像記憶手段、12…一致・不一致情報記憶手段、13…欠陥位置判定手段、13a…欠陥位置判定手段、14…差画像算出手段、15…領域判定手段、15a…感度制御信号、16…繰り返しパターン領域、17…画像移動手段

A～H…チップ、a～c…領域、AB～EF…差画像dd1～dd4…不一致(欠陥候補)、D1～D3…欠陥例DD1～DD4…不一致(欠陥候補)

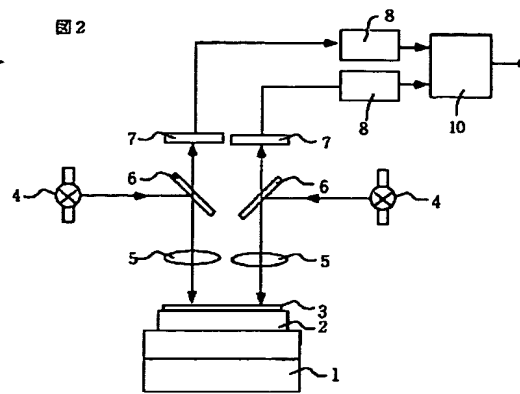
【図 1】

図 1



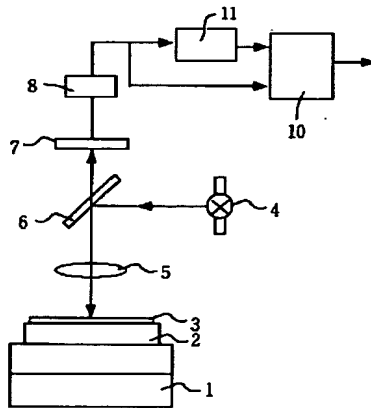
【図 2】

図 2



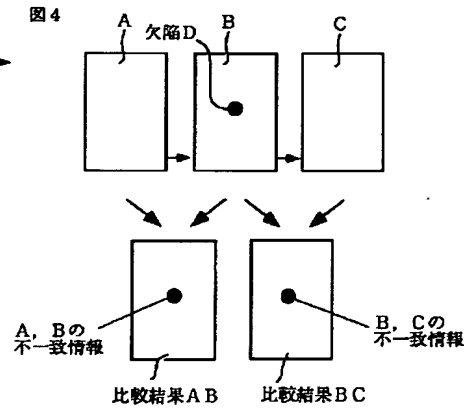
【図 3】

図 3



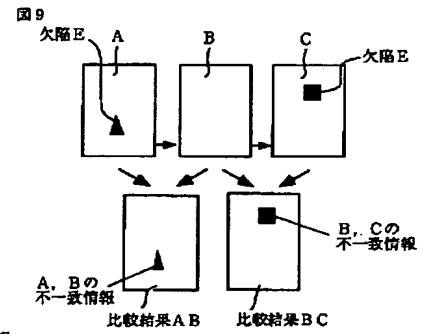
【図 4】

図 4



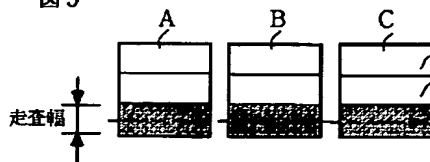
【図 9】

図 9



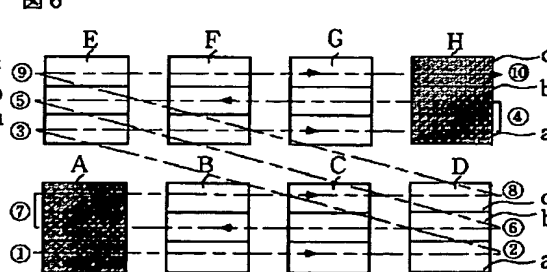
【図 5】

図 5

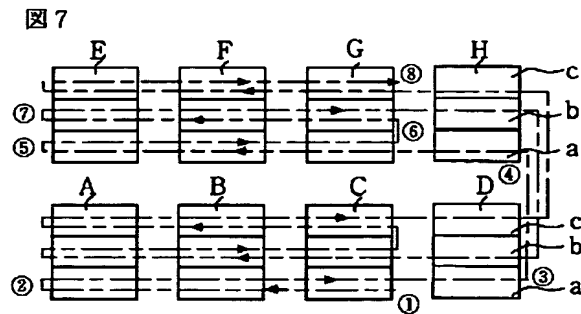


【図 6】

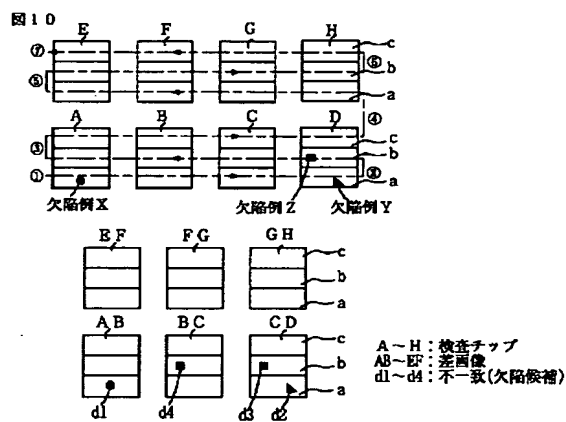
図 6



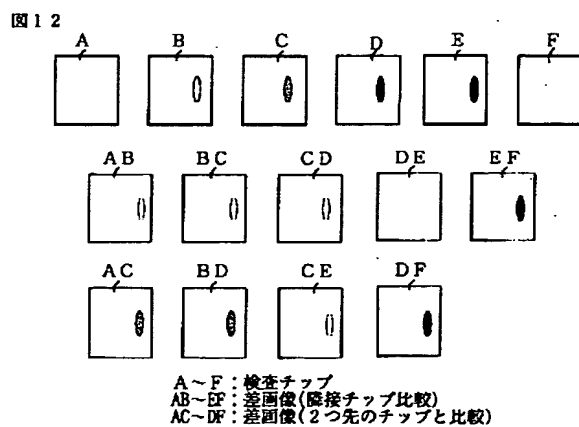
【図 7】



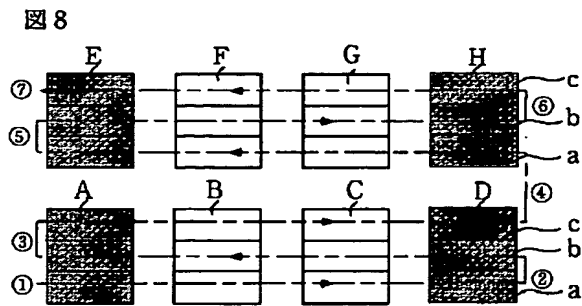
【図 10】



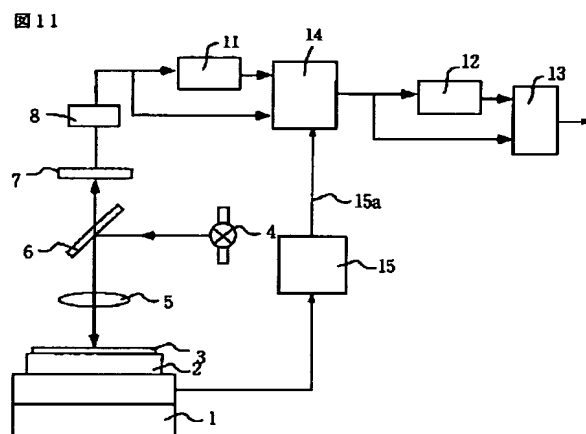
【図 12】



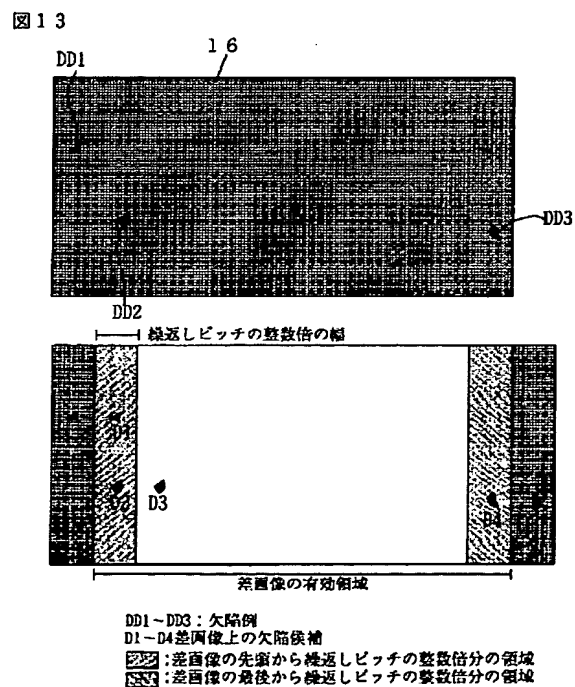
【図 8】



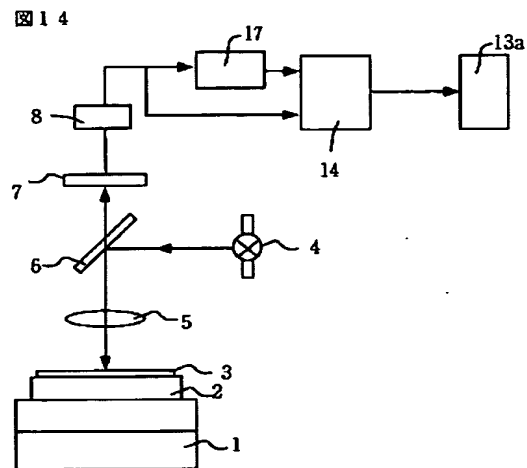
【図 11】



【図 13】



【図 1 4】



フロントページの続き

(72) 発明者 芝田 行広
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内

(72) 発明者 見坊 行雄
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-160247

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

G01N 21/88
G06T 7/00

(21)Application number : 09-327531

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.11.1997

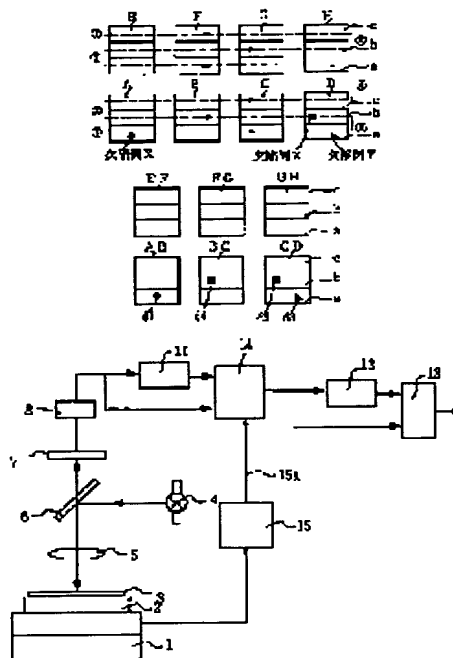
(72)Inventor : OKA KENJI
MAEDA SHUNJI
YOSHIDA MINORU
SHIBATA YUKIHIRO
KENBO YUKIO

(54) METHOD AND APPARATUS FOR VISUAL INSPECTION

(57)Abstract:

PROBLEM TO BE SOLVED: To permit comparative inspection of the same level to chips in the periphery of a semiconductor wafer as chips at other parts by using for a leading end and a trailing end patterns comparison information thereof with respective adjacent patterns and further adjacent patterns.

SOLUTION: In the case, e.g. where chips A-H are arranged on a semiconductor wafer 3, an image of an area A-a at a leading end of a detection area is detected as a reference image. Then, an image of an area B-a is detected. A defect X is not coincident (defect candidate d1) on a difference image AB formed by a difference image calculation means 14, which is stored in a coincidence.incoincidence information memory means 12. Further, an image of an area C-a is detected. A difference image BC is compared with a coincidence.incoincidence information stored beforehand, whereby the defect X is detected to be incoincident (coincident) on the difference image AB (BC). A defect position-judging means 13 specifies that the defect X is present on the chip A. At a final area D-a, a defect Y is incoincident (defect candidate d2) on a difference image CD and coincident in the difference image BC, so that the defect Y is specified to be on the chip D.



LEGAL STATUS

[Date of request for examination]

14.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office